



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0004578
Application Number

출원년월일 : 2003년 01월 23일
Date of Application

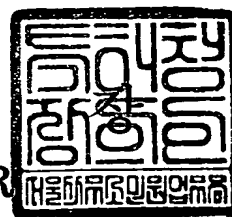
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 08 월 29 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0020
【제출일자】	2003.01.23
【국제특허분류】	G11C
【발명의 명칭】	이중 데이터율 동기식 반도체 장치의 데이터 스트로브 신호 발생 회로
【발명의 영문명칭】	Circuit for generating data strobe signal in double data rate synchronous semiconductor device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	허낙원
【성명의 영문표기】	HEO, Nak Won
【주민등록번호】	721115-1674418
【우편번호】	442-707
【주소】	경기도 수원시 팔달구 망포동 벽산아파트 106-1403
【국적】	KR
【발명자】	
【성명의 국문표기】	유창식
【성명의 영문표기】	Y00, Chang Sik
【주민등록번호】	691215-1406217

【우편번호】 133-091
【주소】 서울특별시 성동구 금호동1가 1500번지 삼성@
 303-803
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조
 의 규정에 의한 출원심사 를 청구합니다. 대리인
 이영필 (인) 대리인
 정상빈 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 10 면 10,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 13 항 525,000 원
【합계】 564,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

이중데이터율(DDR) 동기식 반도체 장치의 데이터 스트로브 신호 발생회로가 개시된다. 본 발명에 따른 데이터 스트로브 신호 발생회로는 제1 및 제2 로직부와 데이터 스트로브 버퍼를 구비한다. 제1 로직부는 제1 클럭 신호에 응답하여, 폴업 제어 신호 및 폴다운 제어 신호를 발생하고, 제2 로직부는 제2 클럭 신호에 응답하여, 폴업 제어 신호 및 폴다운 제어 신호를 발생한다. 데이터 스트로브 버퍼는 제1 또는 제2 로직부로부터 출력되는 폴업 제어 신호 및 폴다운 제어 신호에 응답하여 반도체 장치의 외부로 출력될 데이터 스트로브 신호를 발생한다. 특히, 제1 로직부는 제1 클럭 신호의 첫 번째 펄스에 응답하여 데이터 스트로브 신호의 프리앰블을 만드는 폴업 제어 신호 및 폴다운 제어 신호를 발생하고, 제1 클럭 신호의 마지막 펄스에 응답하여 데이터 스트로브 신호를 하이-임피던스 상태로 만드는 폴업 제어 신호 및 폴다운 제어 신호를 발생한다.

【대표도】

도 5

【명세서】**【발명의 명칭】**

이중 데이터율 동기식 반도체 장치의 데이터 스트로브 신호 발생 회로
{Circuit for generating data strobe signal in double data rate synchronous semiconductor device}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 통상의 동기식 반도체 장치에서 클럭 신호, 출력 데이터 및 데이터 스트로브 신호와의 관계를 나타내는 도면이다.

도 2는 종래 기술에 따른 동기식 반도체 장치의 데이터 출력 회로를 나타내는 도면이다.

도 3은 종래 기술에 따른 동기식 반도체 장치의 데이터 스트로브 신호 발생 회로를 나타내는 도면이다.

도 4는 본 발명의 일 실시예에 따른 동기식 반도체 장치에서의 데이터 출력 회로를 나타내는 도면이다.

도 5는 본 발명의 일 실시예에 따른 동기식 반도체 장치에서의 데이터 스트로브 신호 발생회로를 나타내는 도면이다.

도 6은 도 4 및 도 5에 도시된 데이터 출력 회로 및 데이터 스트로브 신호 발생회로의 신호 타이밍도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <8> 본 발명은 동기식 반도체 장치에 관한 것으로, 특히 이중 데이터율(double data rate, 이하 DDR이라 함) 동기식 반도체 장치에서 데이터 출력시 사용되는 데이터 스트로브(data strobe) 신호의 발생에 관한 것이다.
- <9> 동기식 반도체 장치는 데이터를 외부로 출력시 데이터 스트로브 신호에 동기시켜 출력한다.
- <10> 도 1은 통상의 동기식 반도체 장치에서 클럭 신호, 출력 데이터 및 데이터 스트로브 신호와의 관계를 나타내는 도면이다. 이를 참조하면, 동기식 반도체 장치에서는, 클럭(CLK)에 동기되어 액티브 명령(ACT) 이나 독출 명령(RD)이 인가된다. 독출 명령(RD)이 인가된 시점으로부터 소정 클럭 싸이클 후에 출력 데이터(DOUT)가 외부로 출력된다. 여기서, 한 번의 독출 명령(RD)에 응답하여 하나의 데이터 입출력 핀당 4 비트의 데이터(A1~A4, B1~B4)가 연속적으로 출력된다.
- <11> 데이터가 출력될 때 반도체 장치는 출력 데이터(DOUT)를 수신하는 장치(예를 들어, 메모리 컨트롤러)가 반도체 장치의 출력 데이터(DOUT)를 용이하게 수신할 수 있도록 데이터 스트로브 신호(DQS)를 생성하여 출력 데이터(DOUT)와 함께 출력한다. 데이터 스트로브 신호(DQS)는 도 1에 도시된 바와 같이, 출력 데이터(DOUT)가 출력되지 않는 동안에는 하이 임피던스(Hi-impedance, 이하 Hi-Z라 함) 상태로 있다가 출력 데이터(DOUT)가 출력되는 동안에는 클럭(CLK) 주기로 토글한

다. 토글링하기 전에 프리앰블(preamble) 구간이 있고 토글링 후에 포스트앰블(postamble) 구간이 있다.

<12> 도 2는 종래 기술에 따른 동기식 반도체 장치의 데이터 출력 회로를 나타내는 도면이다. 도 2에 도시된 데이터 출력 회로는 웨이브 파이프라인(wave-pipeline) 방식의 데이터 출력 회로이다. 최근, 반도체 장치의 동작 속도가 증가하다 보니, 카스 레이턴시(CAS latency)도 증가하는 추세이다. 고속으로 동작하는 반도체 장치에서 5~6 이상의 긴 카스 레이턴시를 구현하기 위하여 웨이브 파이프라인 방식의 데이터 출력 회로가 많이 사용된다.

<13> 도 2를 참조하면, 메모리셀 어레이(100)에서 출력되는 데이터는 다수의 래치들(111~122) 중에서 해당 래치로 입력된다, 래치들에 저장된 데이터는 파이프라인 제어 신호(CDQF1~CDQF6, CDQS1~CDQS6)에 응답하여 다음 래치(130)에 입력된다. 래치(130)의 데이터(D0)는 트라이-스테이트 제어 회로(140)를 거쳐 출력 데이터 버퍼(150)로 입력된다.

<14> 트라이-스테이트 제어 회로(140)는 데이터(D0)와 트라이-스테이트 제어 신호(PTRSTDS)에 응답하여 출력 데이터 버퍼(150)로 입력되는 풀업 데이터(DOP) 및 풀다운 데이터(DON)를 출력한다.

<15> 출력 데이터 버퍼(150)는 풀업 트랜지스터(TP1)와 풀다운 트랜지스터(TN1)를 포함한다. 풀업 트랜지스터(TP1)와 풀다운 트랜지스터(TN1)는 풀업 데이터(DOP)와 풀다운 데이터(DON)에 각각 응답하여 출력 데이터(DOUT)를 전원 전압(VDD) 또는 그라운드 전압 레벨로 구동한다.

- <16> 트라이-스테이트 제어 신호(PTRSTDs)가 로직 로우레벨이면 데이터(DO)에 상관없이 풀업 데이터(DOP)는 로우레벨이 되고 풀다운 데이터(DON)는 하이레벨이 된다. 따라서, 출력 데이터 버퍼(150)의 풀업 트랜지스터(TP1) 및 풀다운 트랜지스터(TN1)가 모두 턴오프되어, 출력 데이터(DOUT)는 하이 임피던스 (Hi-impedance, 이하 Hi-Z라 함) 상태가 된다. Hi-Z 상태를 트라이-스테이트 (tri-state)라 하기도 한다.
- <17> 반면, 트라이-스테이트 제어 신호(PTRSTDs)가 로직 하이레벨이면 데이터 (DO)의 로직 레벨에 따라 풀업 데이터(DOP) 및 풀다운 데이터(DON)는 모두 하이레벨이 되거나 로우레벨이 된다. 따라서, 출력 데이터 버퍼(150)의 풀업 트랜지스터(TP1)와 풀다운 트랜지스터(TN1) 중 어느 하나만 턴온되어, 출력 데이터 (DOUT)는 하이레벨 또는 로우레벨이 된다.
- <18> 도 3은 종래 기술에 따른 동기식 반도체 장치의 데이터 스트로브 신호 발생 회로를 나타내는 도면이다. 도 3을 참조하면, 종래 기술에 따른 데이터 스트로브 신호 발생 회로는 도 2에 도시된 데이터 출력 회로와 유사하게 구현된다.
- <19> 하이레벨 신호(H) 또는 로우레벨 신호(L)가 파이프라인 제어 신호 (CDQF1~CDQF6, CDQS1~CDQS6) 또는 프리앰블 신호(CDQPRE)에 응답하여 래치(230)에 입력된다. 래치(230)의 데이터(DS)는 트라이-스테이트 제어 회로(240)를 거쳐 데이터 스트로브 버퍼(250)로 입력된다. 프리앰블 신호(CDQPRE)는 로우레벨의 프리앰블 구간을 생성하기 위한 신호이다. 파이프라인 제어 신호(CDQF1~CDQF6, CDQS1~CDQS6)는 CDQFQ, CDQS1, CDQF2, CDQS2, ..., CDQF6, CDQS6 순으로 활성화

되므로, 하이레벨 신호(H)와 로우레벨 신호(L)가 교대로 래치(230)로 입력되게 한다.

<20> 트라이-스테이트 제어 회로(240)는 데이터(DS)와 트라이-스테이트 제어 신호(PTRSTDS)에 응답하여 데이터 스트로브 버퍼(250)로 입력되는 풀업 제어 신호(DSP) 및 풀다운 제어 신호(DSN)를 출력한다.

<21> 데이터 스트로브 버퍼(250)는 풀업 트랜지스터(TP2)와 풀다운 트랜지스터(TN2)를 포함한다. 풀업 트랜지스터(TP2)와 풀다운 트랜지스터(TN2)는 풀업 제어 신호(DSP) 및 풀다운 제어 신호(DSN)에 각각 응답하여 데이터 스트로브 신호(DQS)를 발생한다.

<22> 트라이-스테이트 제어 신호(PTRSTDS)가 로직 로우레벨이면 래칭(230)의 데이터(DS)에 상관없이 풀업 제어 신호(DSP)는 로우레벨이 되고 풀다운 제어 신호(DSN)는 하이레벨이 된다. 따라서, 데이터 스트로브 버퍼(250)의 풀업 트랜지스터(TP2) 및 풀다운 트랜지스터(TN2)가 모두 턴오프되어, 데이터 스트로브 신호(DQS)는 Hi-Z 상태가 된다.

<23> 반면, 트라이-스테이트 제어 신호(PTRSTDS)가 로직 하이레벨이면 데이터(DS)의 로직 레벨에 따라 풀업 제어 신호(DSP) 및 풀다운 제어 신호(DSN)는 모두 하이레벨이 되거나 로우레벨이 된다. 따라서, 데이터 스트로브 버퍼(250)의 풀업 트랜지스터(TP2)와 풀다운 트랜지스터(TN2) 중 어느 하나만 턴온되어, 데이터 스트로브 신호(DQS)는 하이레벨 또는 로우레벨이 된다. 즉, 트라이-스테이트 제어 신호(PTRSTDS)가 로직 하이레벨이 되면, CDQPRE에 의해 로우레벨 신호(H)가 래치되

어 스트로브 신호의 프리앰블이 생성되고 또한 파이프라인 제어 신호 (CDQF1~CDQF6, CDQS1~CDQS6)에 의해 하이레벨 신호(H)와 로우레벨 신호(L)가 번갈아 래치됨으로써 토글링되는 데이터 스트로브 신호(DQS)가 생성된다. 그리고, 트라이-스테이트 제어 신호(PTRSTDS)가 로직 로우레벨이 되면, 포스트앰블이 생성되어 데이터 스트로브 신호(DQS)는 Hi-Z 상태가 된다.

<24> 그런데, 상기와 같은 종래 기술에 따른 데이터 스트로브 신호 발생회로에 의하면 트라이-스테이트 제어 신호(PTRSTDS)와 데이터 스트로브 신호(DQS)간에 정확한 동기가 어렵다. 즉, 래치(230)에 유효한 데이터(DS)가 래치되는 시점에 동기되어, 트라이-스테이트 제어 신호(PTRSTDS)가 로직 하이레벨이 되어야 한다. 래치(230)에 유효한 데이터(DS)가 래치되기 전에 트라이-스테이트 제어 신호(PTRSTDS)가 일찍 하이레벨이 되면 무효의 스트로브 신호(DQS)가 발생될 수 있고, 래치(230)에 유효한 데이터가 래치된 시점보다 트라이-스테이트 제어 신호(PTRSTDS)가 늦게 하이레벨이 되면 프리앰블 구간이 짧아질 수 있다.

<25> 한편, 도 2에 종래 기술에 따른 데이터 출력 회로는 카스 레이턴시가 증가할수록 파이프라인을 구성하는 래치들(111~122) 및 파이프라인 제어 신호(CDQFi, CDQSi, i=1~6)의 수가 증가한다. 따라서, 그만큼 데이터 출력 회로의 크기도 증가한다. 마찬가지로, 도 3에 도시된 종래 기술에 따른 데이터 스트로브 신호 발생회로 역시 카스 레이턴시가 증가할수록 크기가 증가하는 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

<26> 따라서 본 발명이 이루고자 하는 기술적 과제는 DDR 동기식 반도체 장치에서

안정적으로 데이터 스트로브 신호를 발생하며, 또한 카스 레이턴시의 증가에도 불구하고 크기가 증가되지 않는 데이터 스트로브 신호 발생회로를 제공하는 것이다.

【발명의 구성 및 작용】

<27> 상기 기술적 과제를 달성하기 위한 본 발명의 일면에 따른 이중데이터율(DDR) 동기식 반도체 장치의 데이터 스트로브 신호 발생회로는 제1 클럭 신호에 응답하여, 폴업 제어 신호 및 폴다운 제어 신호를 발생하는 제1 로직부; 제2 클럭 신호에 응답하여, 상기 폴업 제어 신호 및 상기 폴다운 제어 신호를 발생하는 제2 로직부; 및 상기 폴업 제어 신호 및 상기 폴다운 제어 신호에 응답하여 반도체 장치의 외부로 출력될 상기 데이터 스트로브 신호를 발생하는 데이터 스트로브 버퍼를 구비하며, 상기 제1 로직부는 상기 제1 클럭 신호의 첫 번째 펄스에 응답하여 상기 데이터 스트로브 신호의 프리앰블을 만드는 상기 폴업 제어 신호 및 상기 폴다운 제어 신호를 발생하고, 상기 제1 클럭 신호의 마지막 펄스에 응답하여 상기 데이터 스트로브 신호를 하이-임피던스 상태로 만드는 상기 폴업 제어 신호 및 상기 폴다운 제어 신호를 발생한다.

<28> 바람직하기로는, 상기 제1 로직부는 상기 제1 클럭 신호의 첫 번째 펄스 및 마지막 펄스를 제외한 나머지 펄스에 응답하여 상기 데이터 스트로브 신호를 소정의 제1 로직 레벨로 만드는 상기 폴업 제어 신호 및 상기 폴다운 제어 신호를 발생하며, 상기 제2 로직부는 상기 제2 클럭 신호의 펄스에 응답하여 상기 데이터 스트로브 신호를 소정의 제2 로직 레벨로 만드는 상기 폴업 제어 신호 및 상기 폴다운 제어 신호를 발생한다.

<29> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 일면에 따른 이중데이터 윌(DDR) 동기식 반도체 장치의 데이터 스트로브 신호 발생회로는 풀업 제어 신호 및 풀다운 제어 신호에 응답하여 반도체 장치의 외부로 출력될 상기 데이터 스트로브 신호를 발생하는 데이터 스트로브 버퍼; 제1 클럭 신호에 응답하여, 상기 풀업 제어 신호 및 상기 풀다운 제어 신호를 발생하는 제1 로직부로서, 상기 데이터 스트로브 신호의 프리앰블 구간, 제1 로직 레벨 구간 및 하이-임피던스 상태를 생성하기 위한 상기 풀업 제어 신호 및 상기 풀다운 제어 신호를 발생하는 상기 제1 로직부; 및 제2 클럭 신호에 응답하여, 상기 풀업 제어 신호 및 상기 풀다운 제어 신호를 발생하는 제2 로직부로서, 상기 데이터 스트로브 신호의 제2 로직 레벨 구간을 생성하기 위한 상기 풀업 제어 신호 및 상기 풀다운 제어 신호를 발생하는 상기 제2 로직부를 구비한다.

<30> 바람직하기로는, 상기 제1 로직부는 프리앰블 제어 신호가 소정의 로직 레벨로 활성화된 경우 상기 데이터 스트로브 신호의 프리앰블을 생성하기 위한 상기 풀업 제어 신호 및 상기 풀다운 제어 신호를 발생하며, 상기 프리앰블 제어 신호는 독출 명령에 응답하여 활성화된다.

<31> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<32> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

- <33> 도 4는 본 발명의 일 실시예에 따른 동기식 반도체 장치에서의 데이터 출력 회로를 나타내는 도면이다. 도 4에 도시된 데이터 출력 회로는 카스 레이턴시 6(CL=6), tCCD=2 tCK, BL=4, 4 비트 프리페치 방식을 지원하기 위한 웨이브 파이프라인 방식의 데이터 출력 회로이다.
- <34> 도 4를 참조하면, 데이터 출력 회로는 파이프라인 회로부(410,420,430), 멀티플렉서(440) 및 출력 데이터 버퍼(450)를 구비한다.
- <35> 파이프라인 회로부(410,420,430)는 제1 래치부(410), 스위칭부(420)와 제2 래치부(430)를 포함한다.
- <36> 메모리셀 어레이(100)로부터 독출되는 데이터는 제1 래치부의 래치들(411~422) 중에서 해당 래치로 입력된다, 래치들(411~422)에 저장된 데이터는 파이프라인 제어 신호(CDQF1~CDQF6)에 응답하여 제2 래치부(430)로 입력된다. 이때 제1 래치부의 래치들(411~416)에 저장된 데이터는 우수 노드(DOFi)로 멀티플렉싱되어 래치(431)로 입력되고, 제1 래치부의 래치들(417~422)에 저장된 데이터는 기수 노드(DOSi)로 멀티플렉싱되어 래치(432)로 입력된다. 래치(431)의 데이터(EREAD)(이하, 우수 데이터라 함)와 래치(432)의 데이터(OREAD)(이하, 기수 데이터라 함)는 멀티플렉서로(440)로 동시에 입력된다.
- <37> 멀티플렉서(440)는 우수 데이터(EREAD)와 기수 데이터(OREAD)를 수신하여, 우수 출력 클럭(CLKDQF)에 응답하여 풀업 데이터(DOP) 및 풀다운 데이터(DON)를 발생하고 기수 출력 클럭(CLKDQS)에 응답하여 풀업 데이터(DOP) 및 풀다운 데이터(DON)를 발생한다. 우수 출력 클럭(CLKDQF)과 기수 출력 클럭(CLKDQS)은 클럭

신호(CLK)와 동일한 주기를 갖는 신호로서, 기수 출력 클럭(CLKDQS)은 우수 출력 클럭(CLKDQF)에 비하여 반 클럭 사이클($t_{CK}/2$)의 위상차를 가지는 신호이다.

<38> 따라서, 멀티플렉서(440)는 파이프라인 회로부에서 출력되는 2비트의 병렬 데이터(우수 데이터 및 기수 데이터)에 응답하여, DDR 데이터인 폴업 데이터(DOP) 및 폴다운 데이터(DON)를 출력한다.

<39> 멀티플렉서(440)는 또한, 뒤에서 설명되는 출력 데이터 버퍼(450)의 트라이-스테이트 제어를 위하여 수신되는 우수 데이터(EREAD) 및 기수 데이터(OREAD)를 소정의 트라이-스테이트 제어 신호와 연산하여 폴업 데이터(DOP) 및 폴다운 데이터(DON)를 발생할 수도 있다.

<40> 출력 데이터 버퍼(450)는 폴업 데이터(DOP)에 응답하여 턴온/턴오프되는 폴업 트랜지스터(451)와 폴다운 데이터(DON)에 응답하여 턴온/턴오프되는 폴다운 트랜지스터(452)를 포함한다.

<41> 상술한 바와 같이, 도 4에 도시된 데이터 출력 회로에서는 파이프라인 회로부(410, 420, 430)로부터 멀티플렉싱되어 래치된 데이터(EREAD, OREAD)가 멀티플렉서(440)에서 한 번 더 멀티플렉싱되어 출력 데이터 버퍼(450)로 입력된다. 즉, 파이프라인 회로부에서 출력되는 데이터가 소정의 클럭 신호에 의해 클럭킹(clocking)된 후 출력 데이터 버퍼(450)로 입력된다. 이와 유사한 개념이 후술되는 데이터 스트로브 신호 발생회로에도 적용된다. 즉, 본 발명에 의한 데이터 스트로브 신호 발생회로에서는 데이터 스트로브 신호(DQS)를 만들기 위해 발생된 소정의 로직 신호들을 클럭 신호를 이용하여 스위칭하여 데이터 스트로브 버퍼로 제공된다,

<42> 도 5는 본 발명의 일 실시예에 따른 동기식 반도체 장치에서의 데이터 스트로브 신호 발생회로(500)를 나타내는 도면이다. 도 5를 참조하면, 데이터 스트로브 신호 발생회로(500)는 인버터들(511~512), 낸드(NAND) 게이트들(521~522), 스위치들(531~534), 래치들(541, 542) 및 데이터 스트로브 버퍼(550)를 포함한다.

<43> 인버터들(511~513)은 각각 입력되는 신호를 반전하는 역할을 한다. 인버터(511)는 프리앰블 제어 신호(PREAD_PRE)를 반전하고, 인버터(512)는 기수 데이터 제어 신호(PREAD_S)를 반전한다. 낸드 게이트(521)는 우수 데이터 제어 신호(PREAD_F)와 하이레벨 신호(H)를 부정 논리곱(NAND)한다. 낸드 게이트(522)는 프리앰블 제어 신호(PREAD_PRE)와 우수 데이터 제어 신호(PREAD_F)의 반전 신호를 부정 논리곱한다. 여기서, 우수 데이터 제어 신호(PREAD_F) 및 기수 데이터 제어 신호(PREAD_S)는 독출 명령에 응답하여 반도체 장치의 내부적으로 발생하는 신호들로서, 독출 명령 인가 시점으로부터 카스 레이턴시를 고려한 소정 시간 후에 각각 하이레벨로 활성화된다. 그리고, 프리앰블 제어 신호(PREAD_PRE)는 데이터 스트로브 신호(DQS)의 프리앰블 구간을 생성하기 위하여, 소정 시간 활성화되는 신호이다.

<44> 스위치들(531,532)은 제1 클럭 신호(CLKDQF_G)에 응답하여 온(on)/오프(off)되고, 스위치들(533,534)은 제2 클럭 신호(CLKDQS_G)에 응답하여 온/오프된다. 스위치들(531~534)은 전송 게이트(transmission gate)들로 구현될 수 있다. 제1 및 제2 클럭 신호(CLKDQF_G, CLKDQS_G)는 뒤에서 상세히 기술되겠지만, 우수 및 기수 데이터 제어 신호들(PREAD_F, PREAD_S), 프리앰블 제어 신호

(PREAD_PRE), 포스트앰블 제어 신호(PREAD_PA)와 우수 및 기수 출력 클럭 (CLKDQF, CLKDQS)을 이용하여 생성되는 신호이다.

<45> 스위치(531)는 제1 클럭 신호(CLKDQF_G)에 응답하여 온(on)되어, 우수 데이터 제어 신호(PREAD_F)와 하이레벨 신호(H)의 로직 연산 신호를 래치(541)로 전달한다. 스위치(532)는 제1 클럭 신호(CLKDQF_G)에 응답하여 온(on)되어, 우수 데이터 제어 신호(PREAD_F)와 프리앰블 제어 신호(PREAD_PRE)의 로직 연산 신호를 래치(542)로 전달한다. 그리고, 스위치들(533,534)은 각각 제2 클럭 신호(CLKDQS_G)에 응답하여 온되어, 로우 레벨 신호(L)와 기수 데이터 제어 신호(PREAD_S)의 반전 신호를 래치들(541, 542)로 전달한다. 래치들(541, 542)의 출력 신호가 데이터 스트로브 버퍼(550)로 입력되는 풀업 제어 신호(DSP) 및 풀다운 제어 신호(DSN)이다.

<46> 도 5에 도시된 데이터 스트로브 신호 발생회로(500)의 동작을 기술하면 다음과 같다.

<47> 먼저, 제1 클럭 신호(CLKDQF_G)에 응답하여 스위치들(531,532)이 턴온되는 경우를 살펴본다. 이 때, PREAD_PRE가 로직 하이레벨이고 PREAD_F가 로직 로우레벨이면 풀업 제어 신호(DSP) 및 풀다운 제어 신호(DSN) 모두 로우레벨이 된다. 따라서, 데이터 스트로브 버퍼(550)의 풀다운 트랜지스터(552)만 턴온되어 로우레벨의 DQS 신호가 발생된다. PREAD_PRE와 PREAD_F가 모두 로직 하이레벨이면 풀업 제어

신호(DSP) 및 풀다운 제어 신호(DSN) 모두 하이레벨이 된다. 따라서, 데이터 스트로브 버퍼(550)의 풀업 트랜지스터(551)만 턴온되어 하이레벨의 DQS 신호가 발생된다. PREAD_PRE와 PREAD_F가 모두 로직 로우레벨이면 풀업 제어 신호(DSP)는 로우레벨, 풀다운 제어 신호(DSN)는 하이레벨이 된다. 따라서, 데이터 스트로브 버퍼(550)의 풀업 트랜지스터(551) 및 풀다운 트랜지스터(552)는 모두 턴오프되어 DQS는 Hi-Z 상태가 된다.

<48> 제2 클럭 신호(CLKDQS_G)에 응답하여 스위치들(533,534)이 턴온되는 경우를 살펴본다. 이 때, PREAD_S가 하이레벨이면, 풀업 제어 신호(DSP) 및 풀다운 제어 신호(DSN) 모두 로우레벨이 된다. 따라서, 데이터 스트로브 버퍼(550)의 풀다운 트랜지스터(552)만 턴온되어 로우레벨의 DQS 신호가 발생된다. 반면, PREAD_S가 로우레벨이면, 풀업 제어 신호(DSP)는 로우레벨, 풀다운 제어 신호(DSN)는 하이레벨이 된다. 따라서, 데이터 스트로브 버퍼(550)의 풀업 트랜지스터(551) 및 풀다운 트랜지스터(552)는 모두 턴오프되어 DQS는 Hi-Z 상태가 된다.

<49> 상기 동작을 정리하면 다음 [표 1]과 같다.

<50> 【표 1】

PREAD_PRE	PREAD_F	PREAD_S	DSP	DSN	DQS
H	L	-	L	L	L
H	H	-	H	H	H
L	L	-	L	H	Hi-Z
-	-	H	L	L	L
-	-	L	L	H	Hi-Z

<51> 도 6은 도 4 및 도 5에 도시된 데이터 출력 회로 및 데이터 스트로브 신호 발생회로의 신호 타이밍도이다.

- <52> 독출 명령에 응답하여 소정 시간 후에 우수 데이터(ERead)의 출력을 제어하기 위한 PRead_F가 하이레벨로 인에이블되어 소정 시간 후에 디스에이블된다. 또한 독출 명령(Read)에 응답하여 소정 시간 후에 기수 데이터(ORead)의 출력을 제어하기 위한 PRead_S가 하이레벨로 인에이블되어 소정 시간 후에 디스에이블된다. 그리고, 데이터 스트로브 신호(DQS)의 프리앰블과 포스트앰블을 제어하기 위한 프리앰블 제어 신호(PRead_PRE) 및 포스트앰블 제어 신호(PRead_PA) 역시 소정 시간동안 하이레벨로 활성화된다.
- <53> 버스트 길이(BL)가 4인 경우, 하나의 데이터 출력 핀을 통하여 4개의 출력 데이터가 연속으로 출력되므로, 우수 데이터(ERead)를 출력하기 위한 두 펄스의 클럭 신호와 기수 데이터(ORead)를 출력하기 위한 두 펄스의 신호가 필요하다. 마찬가지로, 데이터가 출력되는 동안 함께 출력되는 DQS 신호의 출력을 위해서 두 펄스의 신호가 필요하다. 그런데, 본 실시예에서는 DQS 신호의 프리앰블 및 포스트앰블 생성을 위하여 각각 한 펄스의 신호가 더 생성된다.
- <54> 제1 클럭 신호(CLKDQF_G)는 PRead_PRE, PRead_F 및 PRead_PA를 논리합한 신호를 우수 출력 클럭(CLKDQF)과 논리곱함으로써 얻어진다. 제2 클럭 신호(CLKDQS_G)는 PRead_S를 기수 출력 클럭(CLKDQS)와 논리합함으로써 얻어진다. 즉, 제1 클럭 신호(CLKDQF_G)는 PRead_PRE, PRead_F 또는 PRead_PA가 하이레벨인 동안의 우수 출력 클럭(CLKDQF)과 같고, 제2 클럭 신호(CLKDQS_G)는 PRead_S가 하이레벨인 동안의 기수 출력 클럭(CLKDQS)과 같다.
- <55> 제1 클럭 신호(CLKDQF_G)의 첫 번째 상승에지에 응답하여 스위치들(531, 532)이 턴온될 때, PRead_PRE는 하이레벨이고 PRead_F는 로우레벨이다. 따라서,

로우레벨의 데이터 스트로브 신호(DQS)가 반도체 장치의 외부로 출력된다. 이는 DQS의 프리앰블에 해당된다. 제1 클럭 신호(CLKDQF_G)의 두 번째 상승에지에 응답하여 스위치들(531, 532)이 턴온될 때, PREAD_PRE과 PREAD_F는 모두 하이레벨이다. 따라서, 하이레벨의 데이터 스트로브 신호(DQS)가 반도체 장치의 외부로 출력된다.

<56> 제2 클럭 신호(CLKDQS_G)의 첫 번째 상승에지에 응답하여 스위치들(533, 534)이 턴온될 때, PREAD_S는 하이레벨이다. 따라서, 로우레벨의 데이터 스트로브 신호(DQS)가 반도체 장치의 외부로 출력된다. 제1 클럭 신호(CLKDQF_G)의 세 번째 상승에지에 응답하여 스위치들(531, 532)이 다시 턴온될 때, PREAD_PRE과 PREAD_F는 역시 모두 하이레벨이다. 따라서, 하이레벨의 데이터 스트로브 신호(DQS)가 반도체 장치의 외부로 출력된다. 제2 클럭 신호(CLKDQS_G)의 두 번째 상승에지에 응답하여 스위치들(533, 534)이 다시 턴온될 때, PREAD_S는 역시 하이레벨이다. 따라서, 로우레벨의 데이터 스트로브 신호(DQS)가 반도체 장치의 외부로 출력된다.

<57> 그리고, 제1 클럭 신호(CLKDQF_G)의 네 번째 상승에지에 응답하여 스위치들(531, 532)이 다시 턴온될 때, PREAD_PRE과 PREAD_F는 모두 로우레벨이다. 따라서, 데이터 스트로브 신호(DQS)는 Hi-Z 상태가 된다.

<58> 한편, 멀티플렉서(도 4의 440)로 입력되는 우수 데이터(ERead)는 제1 클럭 신호(CLKDQF_G)의 두 번째 및 세 번째 상승 에지에 응답하여, 폴업 데이터 및 폴다운 데이터(DOP, DON)로서 출력되는 것이 바람직하다. 또한, 기수 데이터(OREad)는 제2 클럭 신호(CLKDQF_G)에 응답하여, 폴업 데이터 및 폴다운 데이터

(DOP, DON)로서 출력되는 것이 바람직하다. 따라서, 출력 데이터 버퍼(450)로부터 출력되는 출력 데이터(DOUT)는 DQS의 토글링 구간과 동기되어 출력된다.

<59> 상술한 바와 같이, 본 발명의 데이터 스트로브 신호 발생회로에 따르면, 스위치들(531, 532)이 온(on)될 때, PREAD_PRE가 하이레벨이고 PREAD_F가 로우레벨이면 DQS의 프리앰블 구간이 발생된다. PREAD_F를 하이레벨로 하고, PREAD_S를 하이레벨로 하여, 스위치들(531, 532)과 스위치들(533, 534)을 번갈아 스위칭하면, 하이레벨과 로우레벨로 토글링하는 DQS 신호가 발생된다. 출력 데이터(DOUT)가 모두 출력된 후, 스위치들(531, 532)이 한 번 더 온(on)될 때, PREAD_PRE와 PREAD_F가 모두 로우레벨이면, 데이터 스트로브 신호(DQS)가 Hi-Z 상태가 된다.

<60> 따라서, 본 발명의 실시예에 따르면, 데이터 스트로브 신호의 발생을 위하여 하이레벨 신호(H) 및 로우레벨 신호(L)의 발생 시점을 제어 신호들(PREAD_PRE, PREAD_F, PREAD_S, PREAD_PA)과 정확히 동기시킬 필요가 없다. 그런데, 도 3에 도시된 종래 기술에서는 데이터 스트로브 신호(DQS)의 Hi-Z 상태를 제어하는 트라이-스테이트 제어 신호(PTRSTDS)와 하이레벨 또는 로우레벨의 데이터(DS)의 발생시점이 정확히 동기되어야만 한다.

<61> 따라서, 본 발명에 의하면, 데이터 스트로브 신호(DQS)가 종래 기술에 비하여 좀 더 용이한 방법으로 안정되게 발생된다. 또한, 본 발명에 의하면, 카스 레이턴시의 수가 증가하더라도 데이터 스트로브 신호 발생회로의 크기가 증가되지 않는다.

<62> 본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인

것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<63> 본 발명에 의하면, 데이터 스트로브 신호가 좀 더 용이한 방법으로 안정되게 발생된다. 또한, 본 발명에 의하면, 카스 레이턴시의 수가 증가하더라도 데이터 스트로브 신호 발생회로의 크기가 증가되지 않는다.

【특허청구범위】**【청구항 1】**

이중데이터율(DDR) 동기식 반도체 장치의 데이터 스트로브 신호 발생회로에 있어서,

제 1 클럭 신호에 응답하여, 풀업 제어 신호 및 풀다운 제어 신호를 발생하
는 제1 로직부;

제2 클럭 신호에 응답하여, 상기 풀업 제어 신호 및 상기 풀다운 제어 신호
를 발생하는 제2 로직부; 및

상기 풀업 제어 신호 및 상기 풀다운 제어 신호에 응답하여 반도체 장치의
외부로 출력될 상기 데이터 스트로브 신호를 발생하는 데이터 스트로브 버퍼를
구비하며,

상기 제1 로직부는 상기 제1 클럭 신호의 첫 번째 펄스에 응답하여 상기 데
이터 스트로브 신호의 프리앰블을 만드는 상기 풀업 제어 신호 및 상기 풀다운
제어 신호를 발생하고, 상기 제1 클럭 신호의 마지막 펄스에 응답하여 상기 데이
터 스트로브 신호를 하이-임피던스 상태로 만드는 상기 풀업 제어 신호 및 상기
풀다운 제어 신호를 발생하는 것을 특징으로 하는 DDR 동기식 반도체 장치의 데
이터 스트로브 신호 발생회로.

【청구항 2】

제 1 항에 있어서,

상기 제1 로직부는 상기 제1 클럭 신호의 첫 번째 펄스 및 마지막 펄스를 제외한 나머지 펄스에 응답하여 상기 데이터 스트로브 신호를 소정의 제1 로직 레벨로 만드는 상기 풀업 제어 신호 및 상기 풀다운 제어 신호를 발생하며,

상기 제2 로직부는 상기 제2 클럭 신호의 펄스에 응답하여 상기 데이터 스트로브 신호를 소정의 제2 로직 레벨로 만드는 상기 풀업 제어 신호 및 상기 풀다운 제어 신호를 발생하는 것을 특징으로 하는 DDR 동기식 반도체 장치의 데이터 스트로브 신호 발생회로.

【청구항 3】

제 1 항에 있어서,

상기 제1 클럭 신호는 클럭 주기를 가지는 우수 출력 클럭과 소정의 제1 제어신호를 이용하여 생성되고,

상기 제2 클럭 신호는 상기 클럭 주기를 가지고 상기 우수 출력 클럭에 비하여 반 클럭 싸이클의 위상차를 가지는 기수 출력 클럭과 소정의 제2 제어 신호를 이용하여 생성되며,

상기 제1 및 제2 제어 신호는 독출 명령에 응답하여 활성화되는 것을 특징으로 하는 DDR 동기식 반도체 장치의 데이터 스트로브 신호 발생회로.

【청구항 4】

제 1 항에 있어서,

제 1 로직부는

소정의 프리앰블 제어 신호와 하이레벨 신호를 연산하는 제1 연산부;

상기 프리앰블 제어 신호와 우수 데이터 제어 신호를 연산하는 제2 연산부 및;

상기 제1 클럭 신호에 응답하여 턴온되어 상기 제1 연산부의 출력 신호를 상기 풀업 제어 신호로 전달하는 제1 스위치; 및

상기 제2 클럭 신호에 응답하여 턴온되어 상기 제2 연산부의 출력 신호를 상기 풀다운 제어 신호로 전달하는 제2 스위치를 포함하며,

상기 프리앰블 제어 신호와 상기 우수 데이터 제어 신호는 독출 명령에 응답하여 활성화되는 것을 특징으로 하는 DDR 동기식 반도체 장치의 데이터 스트로브 신호 발생회로.

【청구항 5】

제 1 항에 있어서,

제 2 로직부는

상기 제1 클럭 신호에 응답하여 턴온되어 로우레벨 신호를 상기 풀업 제어 신호로 전달하는 제1 스위치; 및

상기 제2 클럭 신호에 응답하여 턴온되어 기수 데이터 제어 신호의 반전 신호를 상기 풀다운 제어 신호로 전달하는 제2 스위치를 포함하며,

상기 기수 데이터 제어 신호는 독출 명령에 응답하여 활성화되는 것을 특징으로 하는 DDR 동기식 반도체 장치의 데이터 스트로브 신호 발생회로.

【청구항 6】

제 1 항에 있어서, 상기 데이터 스트로브 버퍼는

상기 풀업 제어 신호에 응답하여 턴온되는 풀업 트랜지스터; 및

상기 풀다운 제어 신호에 응답하여 턴온되는 풀다운 트랜지스터를 포함하는 것을 특징으로 하는 DDR 동기식 반도체 장치의 데이터 스트로브 신호 발생회로.

【청구항 7】

이중데이터율(DDR) 동기식 반도체 장치의 데이터 스트로브 신호 발생회로에 있어서,

풀업 제어 신호 및 풀다운 제어 신호에 응답하여 반도체 장치의 외부로 출력될 상기 데이터 스트로브 신호를 발생하는 데이터 스트로브 버퍼;

제1 클럭 신호에 응답하여, 상기 풀업 제어 신호 및 상기 풀다운 제어 신호를 발생하는 제1 로직부로서, 상기 데이터 스트로브 신호의 프리앰블 구간, 제1 로직 레벨 구간 및 하이-임피던스 상태를 생성하기 위한 상기 풀업 제어 신호 및 상기 풀다운 제어 신호를 발생하는 상기 제1 로직부; 및

제2 클럭 신호에 응답하여, 상기 풀업 제어 신호 및 상기 풀다운 제어 신호를 발생하는 제2 로직부로서, 상기 데이터 스트로브 신호의 제2 로직 레벨 구간을 생성하기 위한 상기 풀업 제어 신호 및 상기 풀다운 제어 신호를 발생하는 상기 제2 로직부를 구비하는 것을 특징으로 하는 DDR 동기식 반도체 장치의 데이터 스트로브 신호 발생회로.

【청구항 8】

제 7 항에 있어서,

상기 제1 로직부는 프리앰블 제어 신호가 소정의 로직 레벨로 활성화된 경우 상기 데이터 스트로브 신호의 프리앰블을 생성하기 위한 상기 풀업 제어 신호 및 상기 풀다운 제어 신호를 발생하며,

상기 프리앰블 제어 신호는 독출 명령에 응답하여 활성화되는 것을 특징으로 하는 DDR 동기식 반도체 장치의 데이터 스트로브 신호 발생회로.

【청구항 9】

제 8 항에 있어서,

상기 제1 로직부는 상기 프리앰블 제어 신호와 우수 데이터 제어 신호가 모두 소정의 로직 레벨로 활성화된 경우 상기 데이터 스트로브 신호를 상기 제1 로직 레벨로 만드는 상기 풀업 제어 신호 및 상기 풀다운 제어 신호를 발생하며,

상기 우수 데이터 제어 신호는 상기 독출 명령에 응답하여 활성화되는 것을 특징으로 하는 DDR 동기식 반도체 장치의 데이터 스트로브 신호 발생회로.

【청구항 10】

제 9 항에 있어서,

상기 제2 로직부는 기수 데이터 제어 신호가 소정의 로직 레벨로 활성화된 경우 상기 데이터 스트로브 신호를 상기 제2 로직 레벨로 만드는 상기 풀업 제어 신호 및 상기 풀다운 제어 신호를 발생하며,

상기 기수 데이터 제어 신호는 상기 독출 명령에 응답하여 활성화되는 것을 특징으로 하는 DDR 동기식 반도체 장치의 데이터 스트로브 신호 발생회로.

【청구항 11】

제 9 항에 있어서, 상기 제1 로직부는

상기 제1 클럭 신호의 첫 번째 펄스에 응답하여 상기 프리앰블을 만드는 상기 풀업 제어 신호 및 상기 풀다운 제어 신호를 발생하고, 상기 제1 클럭 신호의 마지막 펄스에 응답하여 상기 데이터 스트로브 신호를 하이-임피던스 상태로 만드는 상기 풀업 제어 신호 및 상기 풀다운 제어 신호를 발생하는 것을 특징으로 하는 DDR 동기식 반도체 장치의 데이터 스트로브 신호 발생회로.

【청구항 12】

제 9 항에 있어서,

상기 제1 클럭 신호는 클럭 주기를 가지는 우수 출력 클럭과 상기 프리앰블 제어 신호 및 상기 우수 데이터 제어 신호를 이용하여 생성되고,

상기 제2 클럭 신호는 상기 클럭 주기를 가지고 상기 우수 출력 클럭에 비하여 반 클럭 싸이클의 위상차를 가지는 기수 출력 클럭과 상기 기수 데이터 제어 신호를 이용하여 생성되는 것을 특징으로 하는 DDR 동기식 반도체 장치의 데이터 스트로브 신호 발생회로.

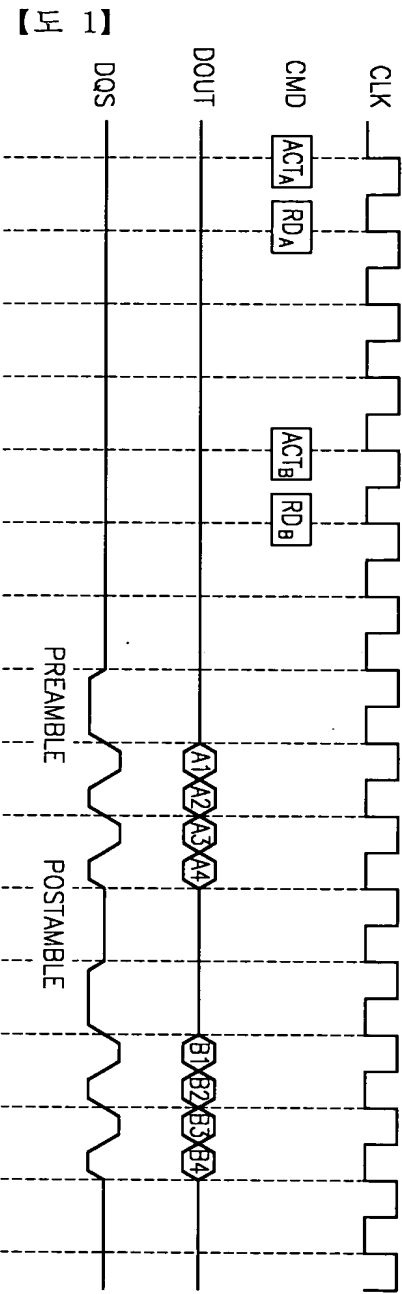
【청구항 13】

제 7 항에 있어서, 상기 데이터 스트로브 버퍼는

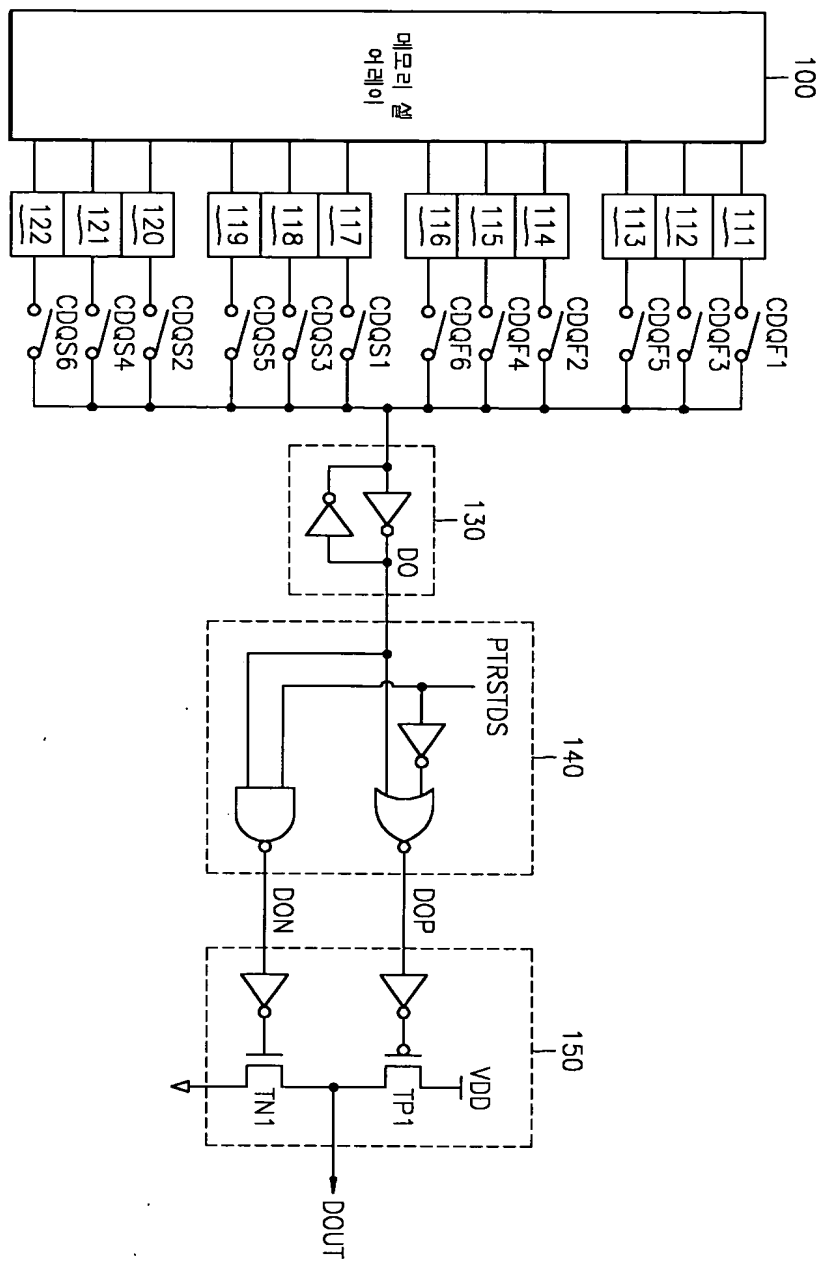
상기 풀업 제어 신호에 응답하여 턴온되는 풀업 트랜지스터; 및

상기 풀다운 제어 신호에 응답하여 턴온되는 풀다운 트랜지스터를 포함하는
것을 특징으로 하는 DDR 동기식 반도체 장치의 데이터 스트로브 신호 발생회로.

【도면】

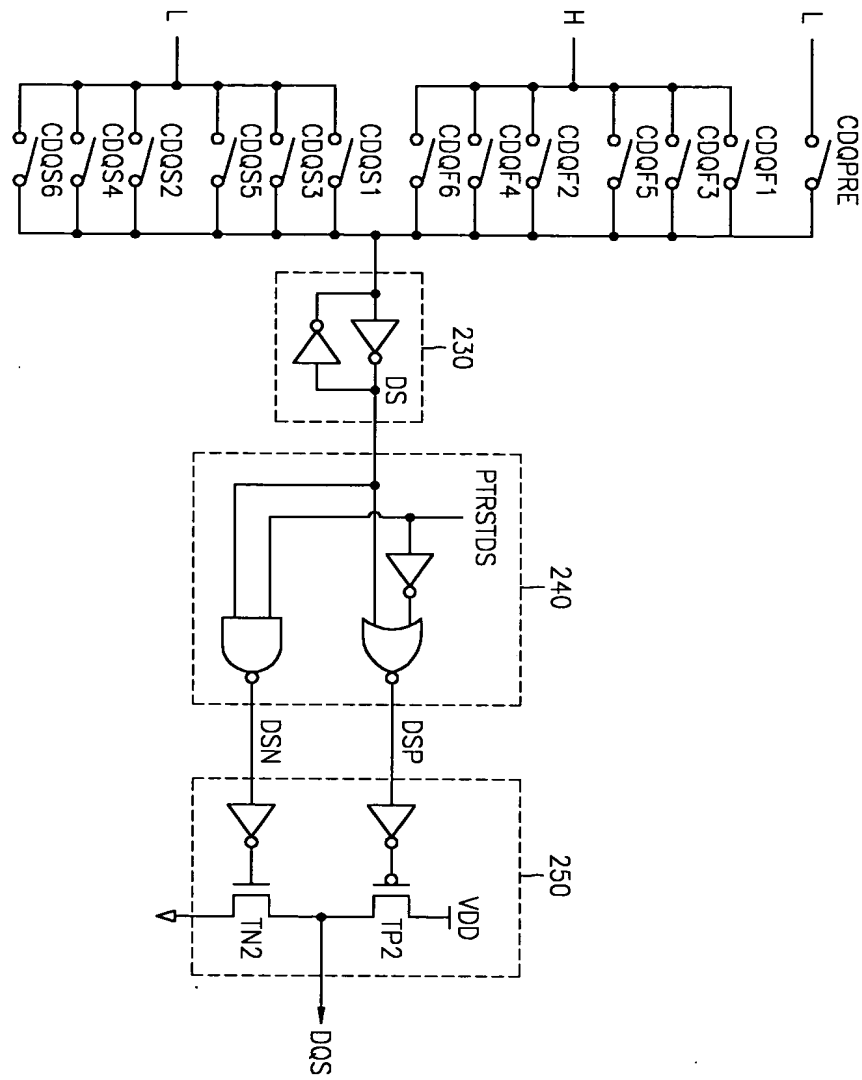


【도 2】

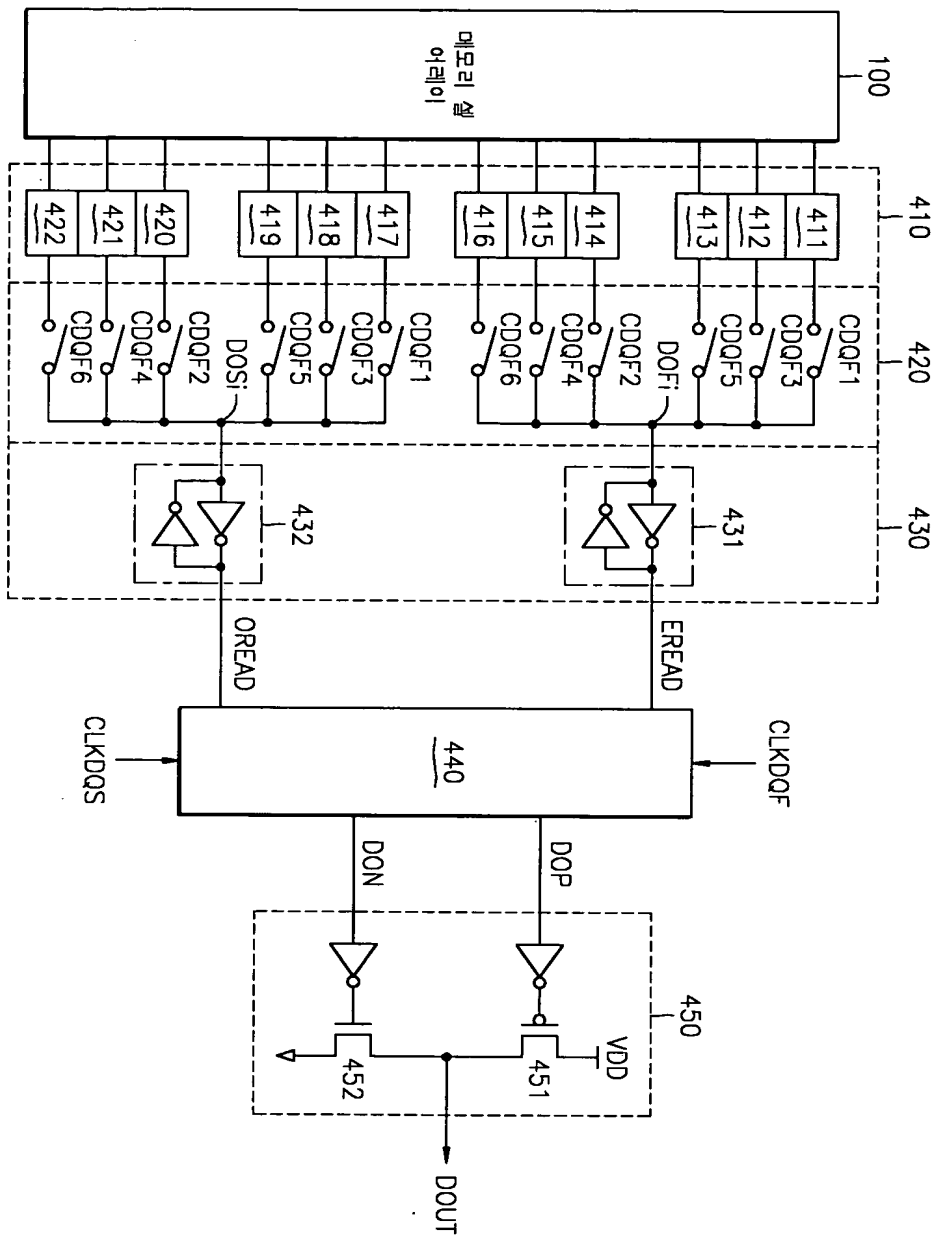




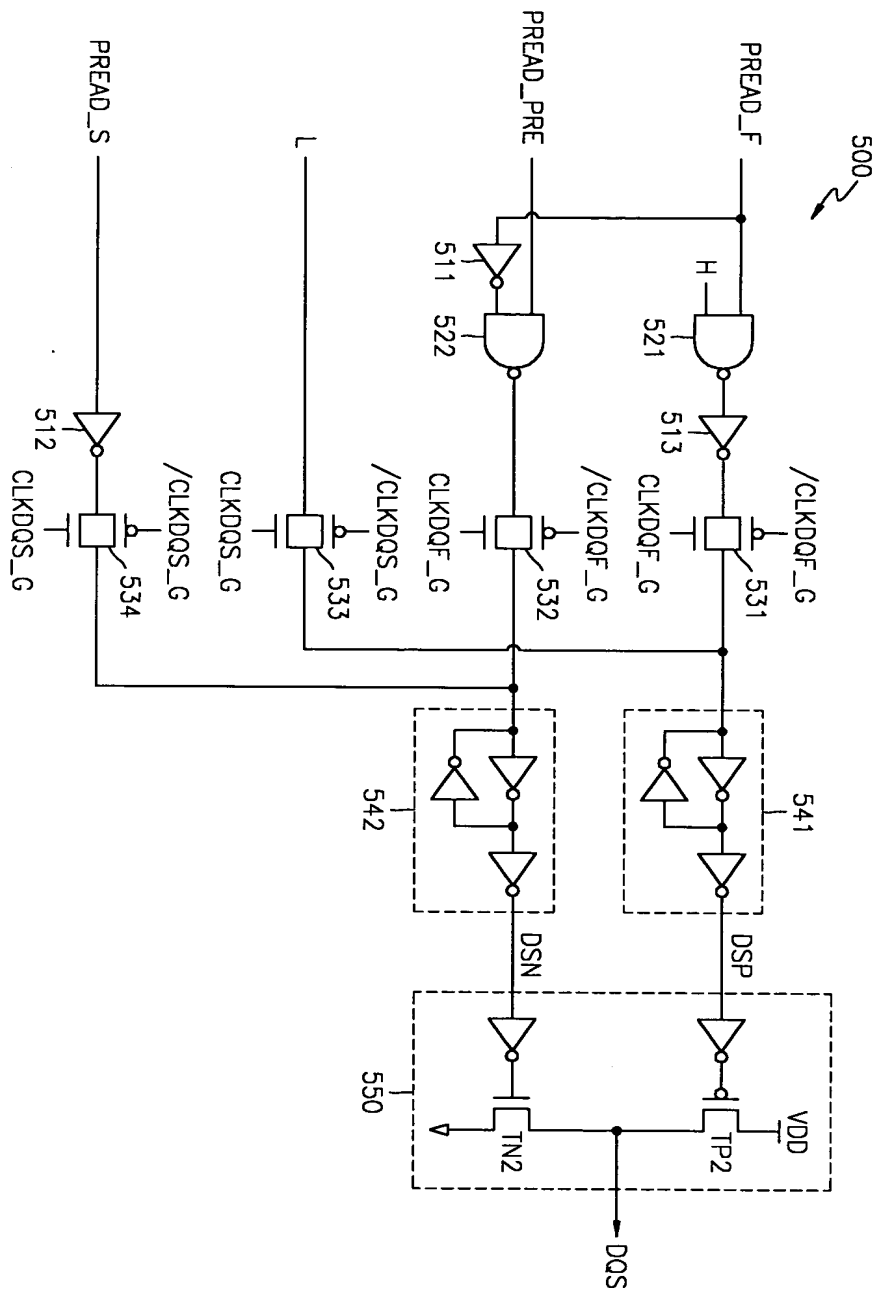
【도 3】



【도 4】



【도 5】



【표 6】

